

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-252386
(P2000-252386A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 23/12		H 0 1 L 23/12	Q 2 H 0 9 2
G 0 2 F 1/1345		G 0 2 F 1/1345	5 C 0 9 4
G 0 9 F 9/30	3 4 7	G 0 9 F 9/30	3 4 7 A 5 E 3 1 9
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 E 3 3 6
H 0 5 K 1/18		H 0 5 K 1/18	L 5 F 0 4 4

審査請求 未請求 請求項の数1 OL (全6頁) 最終頁に続く

(21)出願番号 特願平11-51877

(22)出願日 平成11年2月26日(1999.2.26)

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町6番地

(72)発明者 小紫 賢一

鹿児島県始良郡隼人町内999番地3 京セラ株式会社隼人工場内

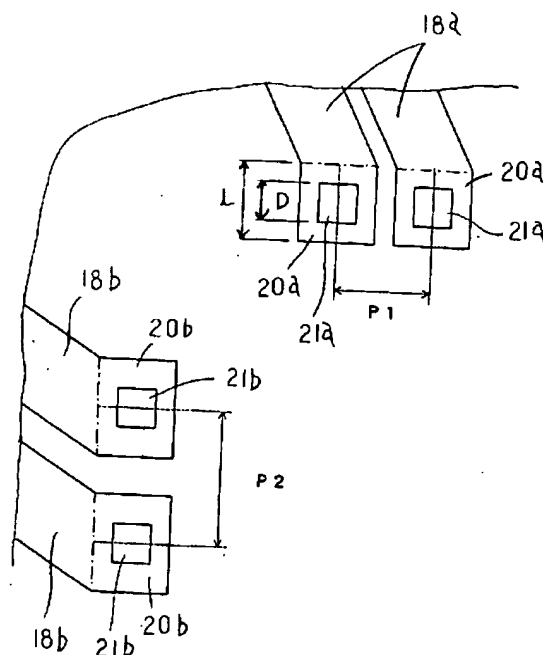
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】表示むらと、駆動用半導体素子の電極端子と延在電極の電極パッドとの間の接続不良をなくす。

【解決手段】液晶表示装置1aにおいて、信号側基板5の非表示部領域12上には延在電極18のパターンが形成され、駆動用半導体素子9aがフェイスダウンにて接続されるが、延在電極18aの電極パッド20aはピッチP1にて配列し、延在電極18b、18cの電極パッド20bはピッチP2にて配列し、これら電極パッド20a、20bに対応し、駆動用半導体素子9aの電極端子群も同じピッチP1、P2にて形成される。そして、電極パッド20aの延在寸法幅Lと、出力用電極端子21aの電極端子幅Dとの関係が(L-D) < (P2-P1)となるように規定している。



【特許請求の範囲】

【請求項1】液晶、ELなどの矩形の表示部を有する基板の非表示部領域上に、上記表示部を構成する多数の電極を延在し、その端部に電極パッド群を形成し、表示部の周辺にそってほぼ平行に配設した長尺状の駆動用半導体素子の各電極端子でもって上記電極パッド群上にフェイスダウン接続した表示装置であって、長辺方向にピッチP1にて、短辺方向にピッチP2にて電極端子を配列した前記駆動用半導体素子を、長辺方向に配列した電極パッドにおける延在寸法幅Lと電極端子幅Dとの関係が $(L-D) < (P2-P1)$ となるように規定した電極パッド群上に配設せしめたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は駆動用半導体素子をフェイスダウンにて実装してなる液晶表示装置やEL表示装置などの表示装置に関するものである。

【0002】

【従来の技術】公知の液晶表示装置を図4～図9により説明する。図4はCOG方式の液晶表示装置1の平面図、図5は図4のX-X断面線による断面図、図6は駆動用半導体素子付近の要部断面図、図7は駆動用半導体素子付近の要部平面図、図8は駆動用半導体素子が搭載される電極パッド群の要部平面図である。

【0003】COG方式の液晶表示装置1によれば、内面にITOの透明電極2、3が形成されたガラス基板から成る走査側基板4と信号側基板5が対向して配置され、各透明電極2、3の上にはポリイミド系樹脂の配向膜が設けられ、さらに双方の基板4、5はシール部材6を介して固定され、たとえば樹脂球状体からなるスペーサ7でもって基板間隔を一定にして、液晶8が封入されている。駆動用半導体素子9が信号側基板5の非表示部領域12上に設けられ、さらに入力ケーブル用のFPC10と接続されている。

【0004】また、両者の基板4、5でもって表示部11をなし、信号側基板5の非表示部領域12上に、表示部11をなす多数の透明電極3を延在し、他方の走査側基板4上の透明電極2もAgペースト13を通して信号側基板5の非表示部領域12上に延在し、これらで延在電極14をなす。

【0005】しかも、駆動用半導体素子9を信号側基板5上に搭載するには、フェイスダウンにて直接実装する方式が用いられている。すなわち、金からなる駆動用半導体素子9の bumps 電極22でもって、エポキシを主成分とした樹脂中に導電粒子を分散させた異方導電樹脂23を介して電氣的機械的に接続させる。

【0006】そして、信号側基板5上の駆動用半導体素子9が搭載される領域には、図7および図8に示すように延在電極14のパターンを形成している。

【0007】各駆動用半導体素子9は長尺形状であり、表示部11の周辺にそってほぼ平行に配設し、また、駆動用半導体素子9の搭載面には四周に沿って多数の電極端子を配列している。駆動用半導体素子9の長辺に配列された電極端子群のうち一方辺には入力用電極端子が配列され、これに対応して信号側基板5上には入力用電極15が配列され、他方の電極端子群は出力用電極端子であり、これに対応して信号側基板5上には延在電極14aが形成されている。駆動用半導体素子9の両短辺に配列された出力用電極端子群と接続される延在電極14b、14cも形成されている。

【0008】また、駆動用半導体素子9の電極端子群については、各電極端子を各辺ともにほぼ均等な間隔でもって配列し、これに対応して延在電極14a、14b、14cの各端部に設けた電極パッドも同じピッチで配列されている。

【0009】図8は延在電極14aの電極パッド16aと、延在電極14bの電極パッド16bとを、ともにピッチP1にて配列した場合を示し、電極パッド16a上に配される出力用電極端子17a、ならびに電極パッド16b上に配される出力用電極端子17bも示す。

【0010】

【発明が解決しようとする課題】しかしながら、上記のような液晶表示装置1においては、延在電極14aと延在電極14b、14cとの間にて、駆動用半導体素子9に至る配線長に差があり、配線長の長い延在電極14b、14cは延在電極14aに比べて配線抵抗が大きくなり、これにより、表示むらなどの画質劣化が生じていた。

【0011】また、駆動用半導体素子9を実装する場合、図9に示すようにy軸方向に振れ易いことから、駆動用半導体素子9の出力用電極端子17a、17bと、電極パッド16a、16bとの位置関係にずれが生じ、このような振れに伴う傾斜角度θが大きくなると、とくに電極パッド16bと出力用電極端子17bとの位置関係において顕著なずれが生じ、その結果、駆動用半導体素子9の出力用電極端子17bにて接続不良が発生するという課題があった。

【0012】本発明者は上記事情に鑑みて鋭意研究を重ねた結果、長辺方向にピッチP1にて電極端子を配列し、短辺方向にピッチP2にて電極端子を配列した駆動用半導体素子を用いて、長辺方向に配列した電極パッドにおける延在寸法幅Lと電極端子幅Dとの関係が $(L-D) < (P2-P1)$ となるように規定した電極パッド群上にフェイスダウン接続することで、双方の課題がともに解消し得ることを見出した。

【0013】本発明は上記知見により完成されたものであり、その目的は表示むらならびに駆動用半導体素子の電極端子と延在電極の電極パッドとの間の接続不良をなくし、これによって高品質かつ高信頼性の液晶表示装置

を提供することにある。

【0014】また、本発明の他の目的はかかる接続不良をなくすことで、製造歩留りを高めて、生産コストを低減させ、これによって低コストな液晶表示装置を提供することにある。

【0015】さらにまた、本発明の他の目的は表示むらと接続不良の双方を解消するための設計条件が規定されたことで、製造工程管理を容易になり、これによっても生産コストを下げることにある。

【0016】

【問題点を解決するための手段】本発明の表示装置は、液晶、ELなどの矩形形状の表示部を有する基板の非表示部領域上に、表示部を構成する多数の電極を延在し端部に電極パッド群を形成し、表示部の周辺にそってほぼ平行に配設した長尺状の駆動用半導体素子の各電極端子をもって電極パッド群上にフェイスダウン接続した構成において、長辺方向にピッチP1にて、短辺方向にピッチP2にて電極端子を配列した上記駆動用半導体素子を、長辺方向に配列した電極パッドにおける延在寸法幅Lと電極端子幅Dとの関係が $(L-D) < (P2-P1)$ となるように規定した電極パッド群上に配設せしめたことを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の表示装置を液晶表示装置をもって例示する。本発明は図4と図5に示すCOG方式の液晶表示装置1と同じ構成であって、駆動用半導体素子の電極端子配列構造および基板上の電極パッド配列構造に特徴があることで、その部分を図1～図3により説明する。

【0018】図1は液晶表示装置1aに搭載した駆動用半導体素子付近の要部平面図、図2は図1のY-Y線の断面図、図3は駆動用半導体素子が搭載される電極パッド群の要部平面図である。なお、従来の液晶表示装置1と同一部材には同一符号を付す。

【0019】液晶表示装置1aによれば、信号側基板5の非表示部領域12上には延在電極18のパターンが形成され、駆動用半導体素子9aが延在電極18上にフェイスダウンにて接続される。

【0020】駆動用半導体素子9aの搭載面には四周にそって多数の電極端子が配列され、長辺に配列された電極端子群のうち一方は入力用電極端子であり、信号側基板5上の入力用電極19と接合され、他方の電極端子群は出力用電極端子であり、延在電極18aと接合される。さらに駆動用半導体素子9aの両短辺に配列された出力用電極端子群については、延在電極18b、18cと接続される。

【0021】そして、図3に示すように延在電極18aの電極パッド20aはピッチP1にて配列し、延在電極18b、18cの電極パッド20bはピッチP2にて配列し、これら電極パッド20a、20bに対応し、駆動

用半導体素子9aの電極端子群も同じピッチP1、P2にて形成される。また、同図にて、電極パッド20aおよび電極パッド20bと、駆動用半導体素子9aの出力用電極端子21aおよび出力用電極端子21bとの位置関係を示す。なお、出力用電極端子21aと出力用電極端子21bは一般的な矩形形状であるが、これに限定されるものではなく、円形状、楕円状、角状であってもよい。

【0022】本発明においては、電極パッド20aの延在寸法幅Lと、出力用電極端子21aの電極端子幅Dとの関係が $(L-D) < (P2-P1)$ となるように規定している。

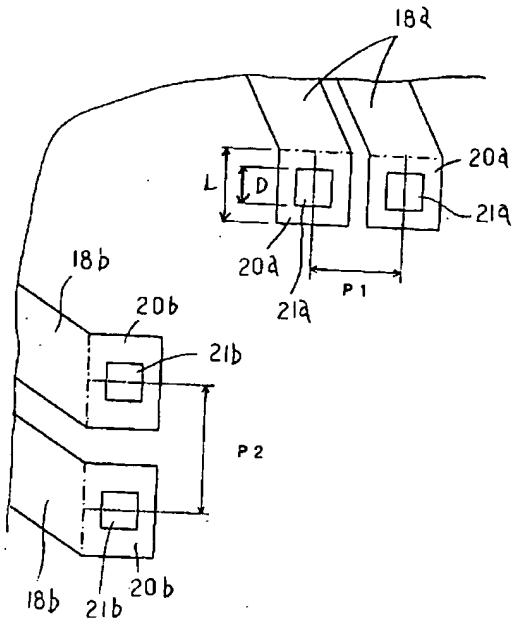
【0023】上記構成の液晶表示装置1aにおいては、かかる規定に基づいて $P2 > P1$ であることから、延在電極18b（もしくは18c）の線幅は延在電極18aの線幅に比べて大きくなり、これにより、抵抗率が小さくなることで、延在電極18bの配線長が延在電極18aの配線長に比べて長くても、双方間での抵抗差が小さくでき、さらには抵抗差をほとんどなくすることもでき、その結果、信号波形になまりが生じなくなり、表示むらが防ぐことができた。このような $(L-D)$ は、10～30 μm 、好適には20～24 μm にするとフェイスダウン実装装置の搭載バラツキを十分に吸収できるといふ点でよい。

【0024】しかも、駆動用半導体素子9aをフェイスダウンする際に、所定の配設部位より振れた場合に、電極パッド20bおよび駆動用半導体素子9aの出力用電極端子21bとの位置関係において、その振れがもっとも顕著になるが、ピッチP2をピッチP1に比べて大きくすることで、その振れの度合いが低減される。そして、双方のピッチ差 $(P2-P1)$ を $(L-D)$ よりも大きくすることで、とくに電極パッド20bと出力用電極端子21bとの間にて接続不良が発生しなくなり、最大の効果が得られている。

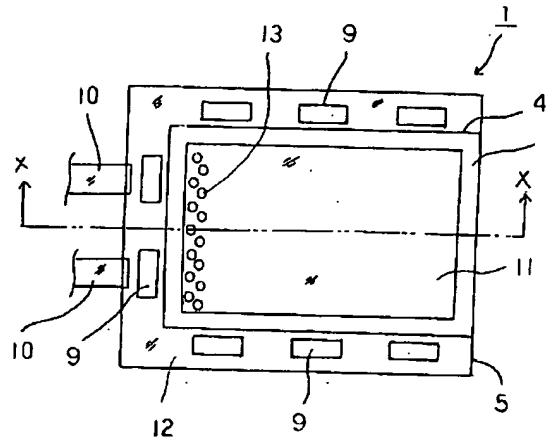
【0025】つぎに一例を示すと、延在電極18b、18cの配線長が2.5mmであり、また、延在電極18aの配線長が1mm、ピッチP1が70 μm （電極パッド20aの幅：40 μm 、各電極パッド20aの隙間：30 μm ）、 $(L-D)$ が40 μm である場合には、ピッチP2を110 μm 以上にすることで、駆動用半導体素子9aをフェイスダウンした際に振れがあっても、電極パッド20bと出力用電極端子21bとの間にて接続不良が発生しなくなった。そして、延在電極18b、18cの線幅sについては、延在電極18aとの間にて抵抗差をなくすために、40 $\mu\text{m} \times (2.5\text{mm}/1\text{mm}) = 100\mu\text{m}$ にするとよい。

【0026】なお、本発明は上記実施形態例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の変更や改良等は何ら差し支えない。たとえば、この実施形態例では液晶表示装置をもって説明しているが、

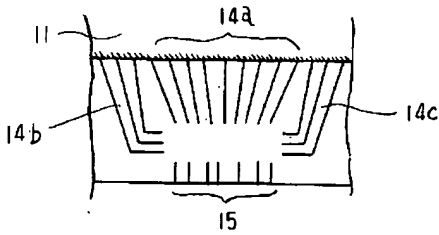
【図3】



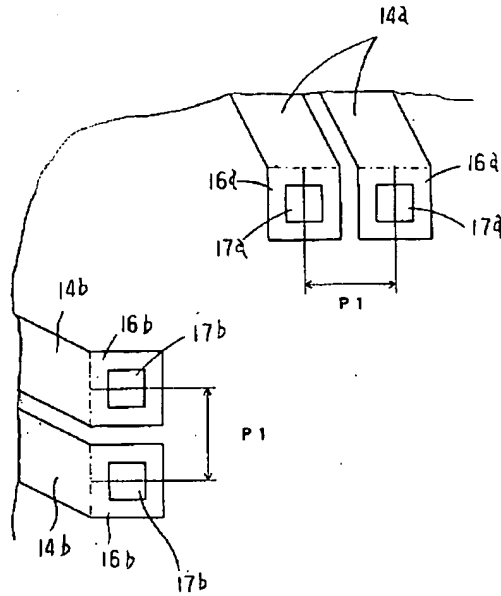
【図4】



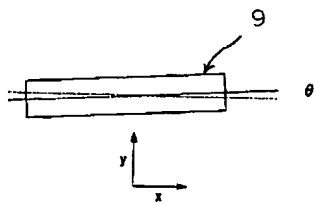
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.⁷
H05K 3/34

識別記号
501

F I
H05K 3/34

ターマート(参考)
501E

Fターム(参考) 2H092 GA45 GA48 GA60 NA01 NA15
NA29 PA02 PA03
5C094 AA03 AA42 AA43 AA44 AA48
BA27 BA43 CA19 DA09 DB02
DB10 FA01 GB01
5E319 AA03 AB05 AC11 BB16 CC61
GG09 GG15
5E336 AA04 BC34 EE08 GG21
5F044 KK01 KK11 QQ02

CLIPPEDIMAGE= JP02000252386A

PAT-NO: JP02000252386A

DOCUMENT-IDENTIFIER: JP 2000252386 A

TITLE: DISPLAY

PUBN-DATE: September 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
KOMURASAKI, KENICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KYOCERA CORP	N/A

APPL-NO: JP11051877

APPL-DATE: February 26, 1999

INT-CL (IPC): H01L023/12;G02F001/1345 ;G09F009/30 ;H01L021/60
;H05K001/18
;H05K003/34

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent variable display and a connection failure between an electrode terminal of a semiconductor device for driving and an electrode pad of an extended electrode.

SOLUTION: On a non-indication region of a signal-side substrate, a pattern of extended electrodes 18(18a, 18b, (18c)) is formed and a semiconductor device for driving is bonded face down. Electrode pads 20a of the extended electrodes 18a are arranged by a pitch P1 and electrode pads 20b of the extended electrodes 18b, (18c) are arranged by a pitch P2. In correspondence with these electrode pads 20a, 20b, electrode terminals of the semiconductor device for driving are also formed by the same pitches P1, P2. The extended width L of each electrode pad 20a and the width D of each electrode terminal 21a for

output are so set as to satisfy $(L-D) < (P2-P1)$.

COPYRIGHT: (C)2000,JPO